

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-343608

(43)Date of publication of application : 24.12.1993

(51)Int.Cl.

H01L 25/04
H01L 25/18
H01L 23/28
H01L 25/00

(21)Application number : 04-152234

(71)Applicant : HITACHI LTD
HITACHI TOBU SEMICONDUCTOR LTD

(22)Date of filing : 11.06.1992

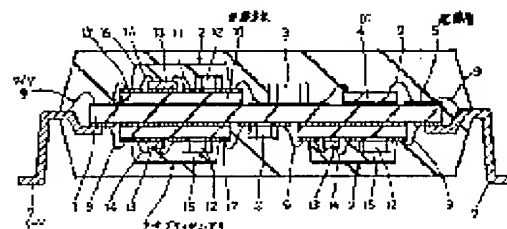
(72)Inventor : DOBASHI YOSHIO
ENDO TSUNEO
AKAZAWA IKUO

(54) HYBRID INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To enable high density mounting for a mounting region of a wiring board as a mother board, by mounting a subassembly constituted of a hybrid integrated circuit device in which passive elements and active elements are sealed, together with passive elements and active elements, on the wiring board as the mother board.

CONSTITUTION: A subassembly 2, a chip resistor 3 and an IC 4 are mounted on the upper surface of a wiring board 1. Two subassemblies 2 and a chip resistor are mounted on the rear. These electronic parts are fixed on a wiring layer 5 formed on the surface of the wiring board 1, via bonding material. Surface mount type leads 7 are fixed to the periphery of the wiring board 1. By using wires 9, the leads 7 and electronic parts are electrically connected with the wiring layer 5. In the wiring board 1, the wiring layer 5 on the surface is electrically connected with the wiring layer 5 on the rear via a through hole, at a specified portion. The whole part of surface and rear except the outer end portions of the leads 7 is covered with a package of transfer mold.



LEGAL STATUS

[Date of request for examination] 29.10.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3029736

[Date of registration] 04.02.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-343608

(43)公開日 平成5年(1993)12月24日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 25/04

25/18

23/28

25/00

E 8617-4M

Z

H 0 1 L 25/ 04

Z

審査請求 未請求 請求項の数1(全 6 頁)

(21)出願番号 特願平4-152234

(22)出願日 平成4年(1992)6月11日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233527

日立東部セミコンダクタ株式会社

埼玉県入間郡毛呂山町大字旭台15番地

(72)発明者 土橋 芳男

長野県小諸市大字柏木字東大道下190番地

株式会社日立製作所小諸工場内

(72)発明者 遠藤 恒雄

長野県小諸市大字柏木字東大道下190番地

株式会社日立製作所小諸工場内

(74)代理人 弁理士 秋田 収喜

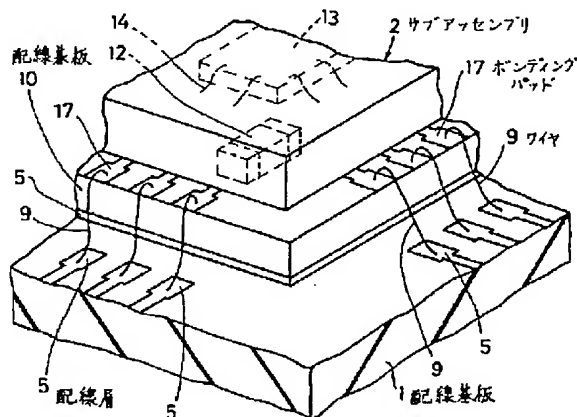
最終頁に続く

(54)【発明の名称】 混成集積回路装置

(57)【要約】

【目的】 混成集積回路装置の高密度・高集積化。

【構成】 配線基板1の周縁部分にそれぞれリード7を固定するとともに、前記配線基板の表面に電子部品を搭載し、かつ前記電子部品および配線基板等をレジンパッケージで被ってなる混成集積回路装置であり、さらに前記配線基板1の表裏面に混成集積回路装置からなるサブアセンブリ2が搭載された構造となっている。サブアセンブリにおける配線基板10のレジンパッケージで被われない主面周縁部分には、ワイヤボンディング用のボンディングパッド17が設けられ、ワイヤ9で前記配線基板1の配線層5に電氣的に接続されている。サブアセンブリ2の搭載と、サブアセンブリ2における外部端子の狭ピッチ化によって、混成集積回路装置の高密度化、高集積化、小型化が可能となる。



【特許請求の範囲】

【請求項1】 配線基板と、この配線基板の周縁に内端が固定された複数のリードと、前記配線基板に搭載された能動素子および受動素子とを有し、前記リードの外端部を除く部分がパッケージによって封止されてなる混成集積回路装置であって、前記配線基板には受動素子と能動素子とが内蔵された混成集積回路装置からなるサブアセンブリが搭載されてなることを特徴とする混成集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は混成集積回路装置に係わり、特に高密度、高集積化が可能な混成集積回路装置に関する。

【0002】

【従来の技術】混成集積回路装置（ハイブリッドIC）は、基本的には、配線基板に能動素子や受動素子等の電子部品を搭載するとともに、前記電子部品の電極と配線層とをワイヤで電気的に接続し、かつ前記配線基板にリードを接続し、前記リードの外端を除く全体をパッケージで封止することによって製造される。

【0003】一方、混成集積回路装置においても、生産性向上、IC自動実装向上の観点からリードフレームを使用する技術が開発されている。たとえば、特開昭61-10263号公報には、リードフレームを使用した構造のハイブリッドICについて開示されている。このハイブリッドICは、リードフレームのランド部（支持板）上に多層配線基板が固定された構造となっている。また、このハイブリッドICは、最上層の配線基板に設けられたボンディングパッドと、リードとがワイヤで接続される構造となっている。

【0004】一方、特開昭60-160135号公報には、シリコンのマザーボード上に半導体素子を複数マウントし、このマザーボードをリードフレームのタブ（ランド）上にのせて組み立てを行う例が開示されている。

【0005】他方、工業調査会発行「電子材料」1991年4月号、P22～P28には、ファインピッチSMTの最新動向について記載されている。この文献には、IC、LSIパッケージについては、現在0.4mmピッチ品までが実用されていること、従来のリードフレームタイプ（フレーム厚0.15mm前後）では、0.3mmピッチ（リード幅0.15mm前後）程度が限界となるであろうことが記載されている。

【0006】

【発明が解決しようとする課題】表面実装（SMT）の進歩により、従来技術による混成集積回路装置における配線基板への実装も高密度化の傾向にある。本発明者は、リードフレームの一部に配線基板を固定して製造する混成集積回路装置において、前記配線基板をマザーボードと考え、このマザーボード上にサブアセンブリと

しての混成集積回路装置を搭載すれば、マザーボード領域の有効利用が図れることを思いたち本発明をなした。

【0007】本発明の目的は混成集積回路装置の高密度・高集積化を図ることにある。本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

【0008】

【課題を解決するための手段】本発明の混成集積回路装置は、受動素子や能動素子を搭載したマザーボードとしての配線基板に混成集積回路装置からなるサブアセンブリが搭載されている。また、前記配線基板の周縁には複数のリードが取り付けられている。前記リードの外端部を除く全体はレジンモールドによるパッケージで被われている。また、前記サブアセンブリは配線基板と、この配線基板の主面に搭載された受動素子や能動素子と、前記配線基板の周面を除き前記受動素子および能動素子を被うレジンモールドによるパッケージとからなっている。また、サブアセンブリの配線基板の主面周縁部分にはボンディングパッドが露出するようになっている。そして、前記ボンディングパッドと、前記リードが取り付けられた配線基板の配線層とがワイヤで電気的に接続されている構造となっている。

【0009】

【作用】上記した手段によれば、本発明の混成集積回路装置は、マザーボードとしての配線基板に受動素子や能動素子以外に受動素子や能動素子を封止してなる混成集積回路装置からなるサブアセンブリが搭載されているため、マザーボードとしての配線基板の搭載領域に高密度実装が可能となり、配線基板の搭載領域が有効に使用できる。また、前記サブアセンブリはワイヤを用いてマザーボードとしての配線基板の配線層に電気的に接続される構造となっていることから、前記ボンディングパッドのピッチを200～300μm前後と狭くすることができるため、前記サブアセンブリは多端化あるいは小型化できることになり、混成集積回路装置の高密度化、高集積化が達成できる。

【0010】

【実施例】以下図面を参照して本発明の一実施例について説明する。図1は本発明の一実施例による混成集積回路装置の要部を示す斜視図、図2は同じく混成集積回路装置の断面図、図3は同じくサブアセンブリの断面図、図4は本発明の混成集積回路装置の製造に用いるリードフレームの平面図、図5は本発明の混成集積回路装置の製造において配線基板の一面に電子部品を搭載した状態を示す断面図、図6は同じくトランスファモールドされたリードフレームを示す断面図である。

【0011】本発明の混成集積回路装置は図2に示すように、厚膜基板やプリント基板（PCB、COB）等からなるマザーボードとなる配線基板1を有し、この配線基板1の表裏面に受動素子や能動素子等からなる電子部

品が搭載されているが、混成集積回路装置からなるサブアッセンブリ2が搭載されていることが特徴である。図では説明の便宜上各部品はそれぞれ1〜2点程度のみを示してあるが、実際には多数である。前記配線基板1の上面には、サブアッセンブリ2、チップ抵抗3、IC4が搭載され、裏面には2つのサブアッセンブリ2とチップ抵抗3が搭載されている。これらの電子部品は配線基板1の表面に設けられた配線層（メタライズ層）5上に図示しない接合材を介して固定されている。また、前記配線基板1の周縁には面実装型のリード7が固定されてい

る。また、これらリード7や配線層5、さらには電子部品と配線層5とはワイヤ9によって電気的に接続されている。また、図示はしないが、前記配線基板1において、その表裏面の配線層5はスルーホールに充填された導体を介して所定部が電気的に接続されている。また、前記配線基板1の表裏面全体は、リード7の外端部を残してトランスファモールドによるパッケージ8によって被われている。

【0012】前記サブアッセンブリ2は、図3にも示すように厚膜基板やプリント基板（PCB、COB）等からなる配線基板10を基にして製造されている。すなわち、配線基板10の主面には配線層（メタライズ層）11が設けられているとともに、この配線層11上には、チップ抵抗12やIC13が搭載されている。このサブアッセンブリ2においても、実際は多数の電子部品が搭載されているが、図では受動素子、能動素子をそれぞれ1つ示す。また、図において、電子部品を固定する接合材については省略してある。

【0013】前記IC13の図示しない電極と配線層11はワイヤ14で接続されている。また、前記配線基板10の主面周縁部分を除く主面は、トランスファモールドによって形成されたパッケージ15によって被われている。そして、このパッケージ15で被われない配線基板10の主面周縁部分には、図1に示すように、配線層11で形成されたボンディングパッド17が並んでいる。このボンディングパッド17は、ワイヤボンディングに必要最小限の幅となり、たとえば、80〜100μm程度の幅となっている。また、ボンディングパッド17のピッチは200〜300μm以下と狭くできる。これにより、サブアッセンブリ2における外部端子の狭ピッチ化が可能となり、高集積・高密度化、外部端子の多端子化（多ピン化）、配線基板10の小型化によるサブアッセンブリ2の小型化が達成できる。

【0014】つぎに、このような混成集積回路装置の製造について説明する。この混成集積回路装置の製造においては、図4に示すようなパターンのリードフレーム25が用意される。リードフレーム25は、0.1mm〜0.25mmの厚さのFe-Ni系合金あるいはCu合金等からなる金属板をエッチングまたは精密プレスによってパターンニングすることによって形成される。リード

フレーム25は複数の単位リードパターンを一方方向に直列に並べた形状となっている。単位リードパターンは、一対の平行に延在する外枠26と、この一対の外枠26を連結しかつ外枠26に直交する方向に延在する一対の内枠27とによって形成される枠28内に形成されている。

【0015】一方、前記枠28の各外枠26および内枠27の内側からは、相互に平行となって枠28の中央に延在する複数のリード7が設けられている。このリード7は、枠28の四隅に張り出した支持片29間に亘って設けられた細いダム30と交差するパターンとなっている。そして、このダム30によって各リード7はその途中を支持されている。前記ダム30は後述するトランスファモールド時、溶けたレジンの流出を阻止するダムとして作用する。また、このダム30の内側の片持梁状のリード部分をインナーリード31と呼称し、外側の部分をアウターリード32と呼称している。前記インナーリード31の先端は、特に限定はされないが、一段階段状に変形している。また、前記外枠26には、図示しないがガイド孔が設けられている。このガイド孔は、リードフレーム25の移送や位置決め等のガイドとして利用される。なお、前記リードフレーム25は必要に応じて所望箇所にメッキが施される。

【0016】混成集積回路装置の製造においては、前記リードフレーム25が用意された後、図4に示されるように、前記インナーリード31の各先端がマザーボードとなる配線基板1の主面周縁部分に重なるようにして接合材によって固定される。その後、図5に示されるように、前記リードフレーム25の裏側を上にして、前記配線基板1の表面に電子部品が搭載される。この図では、2つのサブアッセンブリ2と、1つのチップ抵抗3が配線基板1の所定配線層5上に図示しない接合材を介して固定される。また、サブアッセンブリ2のボンディングパッド17と配線基板1の配線層5がワイヤ9によって電気的に接続される。なお、本発明ではサブアッセンブリ2を別作業として製造し、その後にサブアッセンブリ2をマザーボードとなる配線基板1に搭載することから、配線基板1における配線領域の有効活用が図れる。

【0017】つぎに、図6に示されるように、前記リードフレーム25は再度裏返しにされた後、電子部品が搭載されていないマザーボードとしての配線基板1の表面に電子部品が搭載される。この図ではそれぞれ1つとなるサブアッセンブリ2、チップ抵抗3、IC4が、配線基板1の所定の配線層5上に図示しない接合材を介して固定される。また、サブアッセンブリ2のボンディングパッド17やIC4の電極が、配線基板1の配線層5にワイヤ9を介して電気的に接続される。

【0018】つぎに、組立が終了したリードフレーム25は、トランスファモールド装置によって封止される。モールドは配線基板1からインナーリード31の先端部

分に亘って行われるため、図6に示されるように、各電子部品はパッケージ8によって封止されることになる。その後、不要リードフレーム部分の切断除去が行われるとともに、リード成形が行われ、図2に示されるようなガルウイング型の混成集積回路装置が製造される。

【0019】

【発明の効果】(1)本発明の混成集積回路装置は、マザーボードとなる配線基板の表面に混成集積回路装置からなるサブアッセンブリを搭載した構造となっていることから、サブアッセンブリを搭載した配線基板の配線領域の有効活用が計られるため高集積化が図られるという効果が得られる。

【0020】(2)上記(1)により、本発明の混成集積回路装置はサブアッセンブリの搭載によってより高集積・高密度化が達成できるという効果が得られる。

【0021】(3)本発明の混成集積回路装置は、マザーボードとなる配線基板の表面に混成集積回路装置からなるサブアッセンブリを搭載した構造となっているとともに、前記サブアッセンブリはその外部端子がワイヤボンディングによってマザーボードの導体層と接続される構造となっている。したがって、サブアッセンブリのボンディングパッドの狭ピッチ化が可能となり、サブアッセンブリの配線基板の小型化が達成できるという効果が得られる。

【0022】(4)上記(3)により、本発明の混成集積回路装置は搭載するサブアッセンブリの狭ピッチ化が可能となることによって、サブアッセンブリの高密度・高集積化が可能となるという効果が得られる。

【0023】(5)本発明の混成集積回路装置は、マザーボードにサブアッセンブリを搭載するが、サブアッセンブリはレジンパッケージ構造となり、保持も容易かつ確実であることから自動搭載も可能となり、他の電子部品の自動搭載とも相俟って組立性も良好となるという効果が得られる。

【0024】(6)上記(1)～(5)により、本発明によれば混成集積回路装置の高密度・高集積化、小型化が達成できるという相乗効果が得られる。

【0025】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいふまでもない。たとえば、前記実施例では、外部端子がワイヤによってマザーボ

ードとなる配線基板の配線層に接続される例を示したが、サブアッセンブリの配線基板の裏面に外部端子を配列し、マザーボードとなる配線基板の配線層にフェイスダウンボンディングする構造であってもよい。この場合も外部端子の狭ピッチ化が可能となる。また、フェイスダウン用の外部端子となるサブアッセンブリの場合には、ワイヤボンディングが不要となる。したがって、この場合には、マザーボードとなる配線基板の一面にワイヤボンディングを行わない電子部品のみを搭載し、その後に配線基板を裏返して他の配線基板面に電子部品を搭載するようにすれば、下面側にワイヤが存在しないことから、作業性が良くなる。

【0026】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるリードフレームを用いた混成集積回路装置の製造技術に適用した場合について説明したが、それに限定されるものではない。本発明は少なくともマザーボードを用いる構造の混成集積回路装置の製造技術には適用できる。

【図面の簡単な説明】

【図1】本発明の一実施例による混成集積回路装置の要部を示す斜視図である。

【図2】本発明による混成集積回路装置の断面図である。

【図3】本発明におけるサブアッセンブリの断面図である。

【図4】本発明の混成集積回路装置の製造に用いるリードフレームの平面図である。

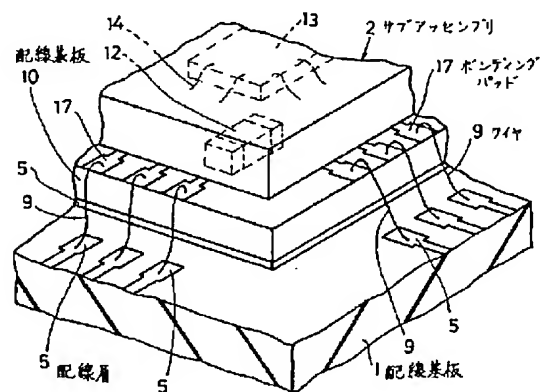
【図5】本発明の混成集積回路装置の製造において配線基板の一面に電子部品を搭載した状態を示す断面図である。

【図6】本発明の混成集積回路装置の製造におけるトランスファモールドされたリードフレームを示す断面図である。

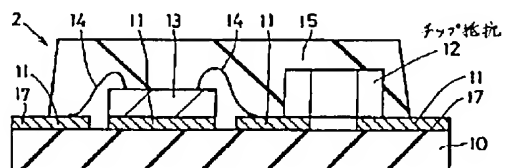
【符号の説明】

1…配線基板、2…サブアッセンブリ、3…チップ抵抗、4…IC、5…配線層、7…リード、9…ワイヤ、10…配線基板、11…配線層、12…チップ抵抗、13…IC、14…ワイヤ、15…パッケージ、17…ボンディングパッド、25…リードフレーム、26…外枠、27…内枠、28…枠、29…支持片、30…ダム、31…インナーリード、32…アウターリード。

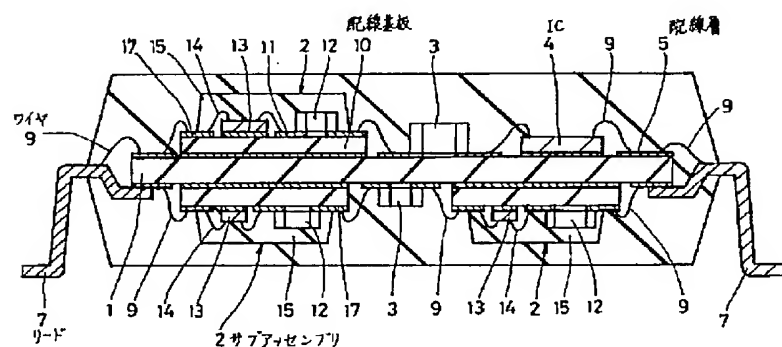
【図1】



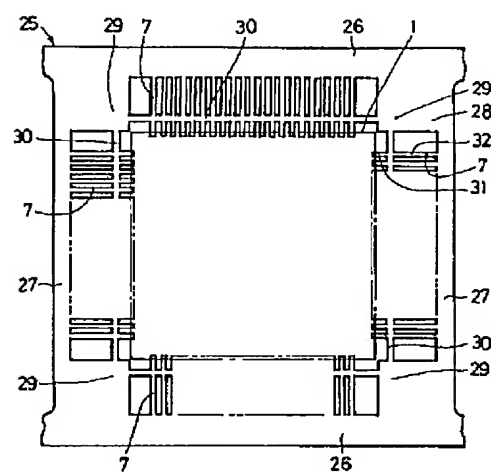
【図3】



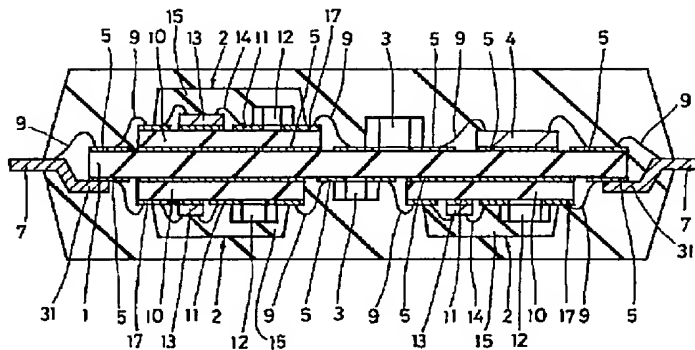
【図2】



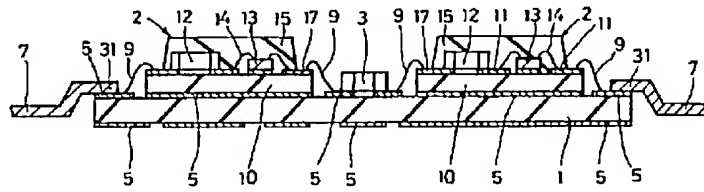
【図4】



【図6】



【図5】



フロントページの続き

(72)発明者 赤澤 生朗
 埼玉県入間郡毛呂山町大字旭台15番地 日
 立東部セミコンダクタ株式会社内